

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

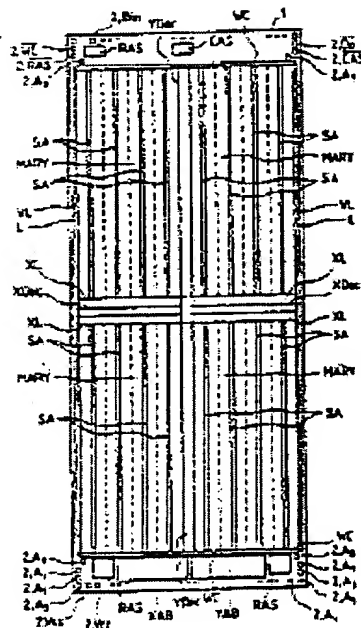
Patent number: JP2058377
Publication date: 1990-02-27
Inventor: TAKAHASHI YASUSHI; others: 07
Applicant: HITACHI LTD; others: 01
Classification:
- international: H01L27/108; H01L21/90; H01L27/04
- european:
Application number: JP19880208432 19880824
Priority number(s):

[View INPADOC patent family](#)

Abstract of JP2058377

PURPOSE: To realize high speed advancement of operation speed of a semiconductor integrated circuit device having DRAM by making wiring layers at the first and second layers into the wiring layers for signal transmission which are connected electrically at every specified interval.

CONSTITUTION:In DRAM1, standard clock signal generating circuits (RAS and/or CAS) which are arranged respectively on opposite short sides of a rectangular chip and address circuits (XAB, YAB) are provided extendedly along the long side of the rectangular chip and are connected with standard clock signal wires in short-circuited two-layer wiring structure. Hereby, the resistance value of the standard clock signal wiring is reduced as compared with the case of single layer wiring structure, and high speed advancement of the transmission speed of standard clock signals is achieved. Hereby, the margin of address set-up time and address hold time improves, and high speed advancement of the operation speed of the DRAM1 can be achieved.



THIS PAGE BLANK (USPTO)

積回路装置。

7. 前記第1層目のアルミニウムの膜厚は5000～6000[Å]であり前記第2層目のアルミニウムの膜厚は8000～9000[Å]であることを特徴とする特許請求の範囲第6項記載の半導体集積回路装置。
8. 前記メモリセルは、メモリセル選択用MISFETと情報蓄積用容量素子との直列回路とで構成されていることを特徴とする特許請求の範囲第5項記載の半導体集積回路装置。
9. 前記信号伝達用の配線層は、基準クロック信号を伝達する為の配線層であることを特徴とする特許請求の範囲第8項記載の半導体集積回路装置。
10. 前記基準クロック信号は、ロウ・アドレス・ストロブ系の信号であることを特徴とする特許請求の範囲第9項記載の半導体集積回路装置。
11. 前記第2層目のアルミニウムの膜厚は、前記第1層目のアルミニウムの膜厚よりも大である

する特許請求の範囲第8項記載の半導体集積回路装置。

17. 前記メモリセルは、メモリセル選択用MISFETと情報蓄積用容量素子との直列回路とで構成されており、前記配線層は、電源電圧又は基準電圧供給用の配線層であることを特徴とする特許請求の範囲第4項記載の半導体集積回路装置。
 18. 前記第2層目のアルミニウムの膜厚は、前記第1層目のアルミニウムの膜厚よりも大であることを特徴とする特許請求の範囲第17項記載の半導体集積回路装置。
 19. 前記第1層目のアルミニウムの膜厚は、5000～6000[Å]であり、前記第2層目のアルミニウムの膜厚は、8000～9000[Å]であることを特徴とする特許請求の範囲第18項記載の半導体集積回路装置。
3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路装置に関し、特に、

ることを特徴とする特許請求の範囲第10項記載の半導体集積回路装置。

12. 前記基準クロック信号は、カラム・アドレス・ストロブ系の信号であることを特徴とする特許請求の範囲第9項記載の半導体集積回路装置。
13. 前記第2層目のアルミニウムの膜厚は、前記第1層目のアルミニウムの膜厚よりも大であることを特徴とする特許請求の範囲第12項記載の半導体集積回路装置。
14. 前記信号伝達用の配線層は、メインアンプの活性化信号を伝達する為の配線層であることを特徴とする特許請求の範囲第8項記載の半導体集積回路装置。
15. 前記第2層目のアルミニウムの膜厚は、前記第1層目のアルミニウムの膜厚よりも大であることを特徴とする特許請求の範囲第14項記載の半導体集積回路装置。
16. 前記信号伝達用の配線層は、プリチャージ信号を伝達する為の配線層であることを特徴と

少なくとも二層のアルミニウム配線を有する半導体集積回路装置、さらに望ましくは、少なくとも二層のアルミニウム配線を有するDRAM(Dynamic Random Access Memory)を有する半導体集積回路装置に適用して有効な技術に関するものである。

〔従来の技術〕

近年二層のアルミニウム配線を有する1[Mbit]或は4[Mbit]のDRAMの開発が盛んに行われており、それらは例えば電子材料、1986年1月号、第39頁から第44頁、または日経マイクロヒル社、別冊№1日経マイクロデバイス、1987年5月号、第149頁乃至第164頁に記載されている。これらのDRAMにおいては、二層目のアルミニウム配線は、ポリサイドで構成されたワード線の抵抗を低減する為のシャント用の配線として用いられている。つまり、ポリサイドのワード線と二層目のアルミニウム配線とを並行させ、所定の間隔で両者を接続した構造になっている。

⑫ 公開特許公報(A)

平2-58377

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成2年(1990)2月27日

H 01 L 27/108
21/90

B

6824-5F
8624-5F

H 01 L 27/10

3 2 5 T※

審査請求 未請求 請求項の数 19 (全15頁)

⑭ 発明の名称 半導体集積回路装置

⑰ 特 願 昭63-208432

⑱ 出 願 昭63(1988)8月24日

⑲ 発 明 者 高 橋 康 東京都青梅市今井2326番地 株式会社日立製作所デバイス
開発センタ内⑲ 発 明 者 松 浦 展 巳 東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 出 願 人 日立超エル・エス・アイ
エンジニアリング株
式会社 東京都小平市上水本町1448番地⑲ 代 理 人 弁理士 小川 勝男 外1名
最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

1.(a) 半導体基板上の所定の方向に延在している
半導体基板上に形成されたアルミニウムからなる
第1層目の配線層と、(b) 前記第1層目の配線層上で、前記第1層目の
配線層と同一方向に延在している半導体基板
上に形成されたアルミニウムからなる第2層目の
配線層とを有し、前記第1層目及び第2層目の
配線層は所定の間隔ごとに電気的に接続され
ている、信号伝達用の配線層であることを特徴
とする半導体集積回路装置。2. 前記第2層目の配線層は前記第1層目の配線
層よりも膜厚が大であることを特徴とする特許
請求の範囲第1項記載の半導体集積回路装置。3. 前記第1層目の配線層の膜厚は5000～
6000[Å]であり、前記第2層目の配線層
の膜厚は8000～9000[Å]である。と
特許請求の範囲第2項記載の半導体集積回路装置。

4.(a) 長方形の半導体基板と；

(b) 前記半導体基板の中央部分に位置する複数
のメモリセルからなるメモリセルアレイと；(c) 前記メモリセルアレイを挟んで半導体基板
の長辺方向の両端に位置する第1及び第2の周
辺回路と；(d) 前記第1と第2の周辺回路間を結び、前記
メモリセルアレイ以外の領域に位置する配線層
を有し、前記配線層は第1層目のアルミニウム
と第2層目のアルミニウムとで構成されており、
これらの第1層目と第2層目のアルミニウムは
同一方向に延在しており、所定の間隔ごとに電
気的に接続されていることを特徴とする半導体
集積回路装置。5. 前記配線層は、信号伝達用の配線層であるこ
とを特徴とする特許請求の範囲第4項記載の半
導体集積回路装置。6. 前記第2層目のアルミニウムは前記第1層目
のアルミニウムよりも膜厚が大であることを特
徴とする特許請求の範囲第5項記載の半導体集

〔本発明が解決しようとする課題〕

前述のDRAMの1[bit]の情報を記憶するメモリセルは、メモリセル選択用MISFETと情報蓄積用容量素子との直列回路で構成されている。DRAMのチップはSOJ(Small Outline J-lead Package)又はZIP(Zigzag In-line Package)での封止が主流となっている。

この種の樹脂封止製品は、標準規格に基づいてパッケージのサイズ及び外部リードの配置が規定されている。このため、DRAMの各回路の配置は、前述の規定に基づきある程度規定されてくる。

本発明者が開発中のDRAMは長方形チップで構成されている。メモリセルアレイは長方形チップの中央部分に配置されている。メモリセルアレイは長方形チップの大半の面積を占有する。DRAMを駆動する周辺回路は、長方形チップの対向する短辺側に夫々配置されている。一方の短辺側(上辺側)にはロウ・アドレス・ストロープ(RAS)系回路、カラム・アドレス・ストロープ

2層目のアルミニウム配線で形成されている。この基準クロック信号配線は、4[Mbit]の大容量を有するDRAMの場合、長方形チップの一方の短辺側から他方の短辺側に10[mm]程度の長い配線長で延在させる必要がある。このため、基準クロック信号の遅延が著しく、アドレスセットアップ時間やアドレスホールド時間のマージンが減少する。また、このマージンの減少は、アクセス時間の増大を招くので、DRAMの動作速度を低下させるという問題点があった。

また、前述の二層アルミニウム配線を有するDRAMにおいて、一層目のアルミニウム配線と二層目のアルミニウム配線とは同じ厚さであった。この場合、一層目のアルミニウム配線と二層目のアルミニウム配線とが交差する部分において、一層目のアルミニウム配線による段差が大きいため、この一層目のアルミニウム配線との交差部における二層目のアルミニウム配線のステップカバレッジが悪く、この交差部において断線が生じやすいという問題があった。

(CAS)系回路等の基準クロック信号発生回路を主体とする周辺回路が配置されている。これらの基準クロック信号発生回路の近傍には、基準クロック信号用外部端子(ボンディングパッド)が配置されている。他方の短辺側(下辺側)にはXアドレス系バッファ回路及びYアドレス系バッファ回路等のアドレス系回路を主体とする周辺回路が配置されている。同様に、これらのアドレス系回路の近傍には、アドレス信号用外部端子が配置されている。

前記アドレス系回路のアドレス信号の取り込みは、前記基準クロック信号発生回路で形成した基準クロック信号に基づいて制御されている。このため、長方形チップの対向する夫々の短辺に配置された基準クロック信号発生回路とアドレス系回路とは基準クロック信号配線により接続されている。基準クロック信号配線は、長方形チップの長辺の端部とメモリセルアレイ端との間の若干の領域に、長方形チップの長辺に沿って配置されており、この基準クロック信号配線は第1層目又は第

本発明の目的は、DRAMを有する半導体集積回路装置の動作速度の高速化を図ることが可能な技術を提供することにある。

本発明の他の目的は、基準クロック信号の伝播速度の高速化を図ることによって前記目的を達成することが可能な技術を提供することにある。

本発明の他の目的は、一層目のアルミニウム配線による段差部における二層目のアルミニウム配線の断線を防止することができる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにされるであろう。

〔課題を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

DRAMにおいて、長方形チップの対向する短辺側に夫々配置された基準クロック信号発生回路とアドレス系回路とを、長方形チップの長辺に沿

って延在しかつ短絡された2層配線構造の基準クロック信号配線で接続する。

また、一層目のアルミニウム配線の厚さを二層目のアルミニウム配線の厚さよりも小さくしている。

〔作用〕

上記した本発明の半導体集積回路装置によれば、長方形チップの長辺に沿って延在する基準クロック信号配線をアルミニウムの2層構造にすることで基準クロック信号配線の抵抗を極力小さくできるDRAMの動作を高速化できる。

さらに、一層目のアルミニウム配線の厚さを二層目アルミニウム配線の厚さよりも小さくすることにより、一層目のアルミニウム配線と二層目のアルミニウム配線とが交差する部分での、二層目アルミニウム配線の断線を防止することができる。

〔実施例〕

本発明の一実施例であるDRAMを第1図(チップレイアウト図)及び第2図(周辺回路の拡大ブロック構成図)で示す。

V_{cc} 、ファンクション用FP₁の夫々として使用されている。

ファンクション用FP₁及びFP₂として使用される外部端子2は、ボンディングワイヤを接続する時に、ページ・モード、ニブル・モード又はスタックカラム・モードに切換えられるようになっている。基準電圧 V_{ss} は例えば回路の接地電位0[V]が印加される。電源電圧 V_{cc} は例えば回路の動作電位5[V]が印加されるようになっている。基準電圧 V_{ss} として使用される外部端子2、電源電圧 V_{cc} として使用される外部端子2の夫々には、複数本のボンディングワイヤを接続する所謂ダブルボンディング或はトリプルボンディングが施されるようになっている。このボンディング方式はノイズ対策のために行われている。

DRAM1の中央部分にはメモリセルアレイMEMORYが配置されている。メモリセルアレイMEMORYは大きく4分割されている。この分割された1つのメモリセルアレイMEMORYは1[Mbit]

第1図に示すように、DRAM1は単結晶硅素からなる半導体基板上に構成されている。DRAM1は4[Mbit]×1[bit](又は1[Mbit]×4[bit])構成で構成されている。

DRAM1は、例えば短辺側が6.38[mm]、長辺側が17.38[mm]の長方形チップで構成されている。DRAM1は図示しないがSOJ、ZIP等で樹脂封止される。

第1図及び第2図に示すように、DRAM1の最つとも外周部には長方形チップの短辺及び長辺の一部に沿って外部端子(ボンディングパッド)2が配置されている。一方の短辺側(上側の短辺側)に配置された外部端子2は、アドレス信号 A_{10} 、ロウ・アドレス・ストローブ信号 \overline{RAS} 、ライトイネーブル信号 \overline{WE} 、データ入力信号 D_{in} 、データ出力信号 $\overline{D_o}$ 、カラム・アドレス・ストローブ信号 \overline{CAS} 、アドレス信号 A_0 、ファンクション用FP₁、基準電圧 V_{ss} の夫々として使用される。他方の短辺側(下側の短辺側)に配置された外部端子2は、アドレス信号 $A_0 \sim A_9$ 、電源電圧

の大容量を有するように構成されている。この分割された個々のメモリセルアレイMEMORYはさらに4分割されている。この細分割化された夫々のメモリセルアレイMEMORYの中央部分には、第1図及び第2図に示すように、長方形チップの長辺に沿って(行方向に)センスアンプ回路SAが配置されている。センスアンプ回路SAにはメモリセルアレイMEMORYを列方向に延在する相補性データ線が接続されている。つまり、DRAM1はフォールドビットライン方式で構成されている。

大きく分割された上辺側の左右2個のメモリセルアレイMEMORY間、下辺側の左右2個のメモリセルアレイMEMORY間の夫々にはYデコーダ回路YDecが配置されている。左側の上辺及び下辺の2個のメモリセルアレイMEMORY間、右側の上辺及び下辺の2個のメモリセルアレイMEMORY間の夫々には、Xデコーダ回路XDec、ワードドライバ回路及びワードラッチ回路XLが配置されている。メモリセルアレイMEMORYのXデコーダ回路

XDecと対向する側の端部にはワードクリア回路WCが配置されている。

メモリセルアレイMARYは図示しないがメモリセルを行列状に複数配置して構成されている。メモリセルはメモリセル選択用MISFETとその一方の半導体領域に接続された情報蓄積容量素子との直列回路で構成されている。メモリセル選択用MISFETはnチャネル型で構成されている。情報蓄積容量素子は、珪素基板上に下層電極(多結晶珪素膜)、誘電体膜、上層電極(多結晶珪素膜)の夫々を順次積層したスタックド構造で構成されている。上層電極には電源電圧 $1/2 V_{cc}$ が印加されている。電源電圧 $1/2 V_{cc}$ は電源電圧 V_{cc} と基準電圧 V_{ss} との間の中間電位(約 $2.5[V]$)である。

前記メモリセルのメモリセル選択用MISFETの他方の半導体領域には相補性データが接続されている。相補性データ線は、前述のようにセンスアンプ回路SAに接続されると共に、入出力選択用MISFET(Yスイッチ)を介在させて入

出力信号線(I/O線)に接続されている。入出力選択用MISFETはYセレクト信号線を介在させてYデコーダ回路YDecに接続されている。メモリセル選択用MISFETのゲート電極はワード線に接続されている。ワード線は、メモリセルアレイMARYを行方向に延在し、ワードドライバ回路を介在させてXデコーダ回路XDecに接続されている。

DRAM1の一方の短辺側には、第1図及び第2図に示すように、基準クロック信号発生回路を主体とする周辺回路が配置されている。つまり、一方の短辺側には、ロウ・アドレス・ストロープ系回路(RAS系回路)RASの初段回路及びカラム・アドレス・ストロープ系回路(CAS系回路)CASの初段回路の主要な基準クロック信号発生回路、データ入出力系回路(Din, Dout系回路)Din, Dout、ライトイネーブル系回路(WE系回路)WE、上辺アドレス系回路ADU、メインアンプMA1~MA8、センスアンプの電源回路SAVの夫々が配置されている。

基準クロック信号発生回路であるロウ・アドレス・ストロープ系回路RASの初段回路は、信号遅延を低減するため、ロウ・アドレス・ストロープ信号RAS用の外部端子2の近傍に配置されている。同様に、カラム・アドレス・ストロープ系回路CASの初段回路はカラム・アドレス・ストロープ信号CAS用の外部端子2の近傍に配置されている。

前記ロウ・アドレス・ストロープ信号RASは、一方の短辺側の周辺回路及び他方の短辺側の周辺回路の全周辺回路において使用される。前述のように、ロウ・アドレス・ストロープ信号RAS用の外部端子2が一方の短辺側に配置されているので、ロウ・アドレス・ストロープ系回路RASの初段回路及び一方の短辺側で使用されるRAS系基準クロック信号の発生回路は一方の短辺側に配置されている。

DRAM1の他方の短辺側には、アドレス系回路を主体とする周辺回路が配置されている。つまり、他方の短辺側には、Xアドレス系バッファ回

路XAB及びYアドレス系バッファ回路YABのアドレス系回路、ロウ・アドレス・ストロープ系回路RASの次段回路、Xジェネレータ回路JGの夫々が配置されている。この他方の短辺側にはアドレス信号A₀~A_n用の外部端子2が配置されているので、アドレス系回路はその近傍に配置されている。

前記ロウ・アドレス・ストロープ系回路RASの初段回路及びRAS系基準クロック信号の発生回路は、第3図に示すように、波形整形及び駆動力増強のために多段インバータ構造で構成されている。ロウ・アドレス・ストロープ系回路RASの初段回路ではRAS系基準クロック信号のうちタイミング的に最も速い基準クロック信号(内部クロック信号)R1を生成する。この基準クロック信号R1は、一方及び他方の短辺側に配置されるクロック信号発生回路に入力する基準クロック信号として使用される。また、第3図に示すように、前記基準クロック信号R1は、一方の短辺側(上辺側)で使用される基準クロック信号R1U

を生成する。なお、第3図において、 $\overline{W\bar{K}U}$ はウェークアップ信号、 \overline{RE} はラスエンド信号である。

前記ロウ・アドレス・ストロープ系回路RASの初段回路で生成された基準クロック信号 $\overline{R1}$ は、第1図及び第2図に示す配線(基準クロック信号配線)Lを通して一方の短辺側から他方の短辺側(下辺側)に伝達され、ロウ・アドレス・ストロープ系回路RASの次段回路に入力される。ロウ・アドレス・ストロープ系回路RASの次段回路は、配線Lで引き回された基準クロック信号 $\overline{R1}$ の波形整形及び駆動力増強のために配置されている。ロウ・アドレス・ストロープ系回路RASの次段回路は、第4図(等価回路図)に示すように、多段インバータ構造で構成されている。ロウ・アドレス・ストロープ系回路RASの次段回路は、基準クロック信号 $\overline{R2}$ 及び他方の短辺側で使用される基準クロック信号 $\overline{R1D}$ を生成する。

他方の短辺側に配置されたXアドレス系バッファ回路XABは、第5図(等価回路図)に示すように、ロウ・アドレス・ストロープ系回路RAS

ラッチ回路XLで生成される。

前記カラム・アドレス・ストロープ系回路CASは、ロウ・アドレス・ストロープ系回路RASの初段回路と同様に、第7図(等価回路図)に示すように多段インバータ構造で構成されている。カラム・アドレス・ストロープ系回路CASはCAS系基準クロック信号のうちタイミング的に最も速い基準クロック信号 $\overline{C0}$ 、 $\overline{C1}$ 及び $\overline{C2}$ を生成する。基準クロック信号のうち基準クロック信号 $\overline{C1}$ は、配線(基準クロック信号配線)Lを通して一方の短辺側(上辺側)から他方の短辺側(下辺側)に伝達され、Yアドレスラッチ信号 \overline{YL} を生成する。

他方の短辺側に配置されたYアドレス系バッファ回路YABは、第8図(等価回路図)に示すように、ロウ・アドレス・ストロープ系回路RASの次段回路で生成された基準クロック信号 $\overline{R1D}$ 及びYアドレスラッチ信号 \overline{YL} によって活性化される。つまり、基準クロック信号 $\overline{R1D}$ 及びYアドレスラッチ信号 \overline{YL} はYアドレス系バッファ回

の次段回路で生成された基準クロック信号 $\overline{R1D}$ 及び $\overline{R2}$ によって活性化される。つまり、基準クロック信号 $\overline{R1D}$ 及び $\overline{R2}$ はXアドレス系バッファ回路XABにアドレス信号 Ai ($i=0,1,2,\dots,8$)を取込むための制御信号として使用されている。このアドレス信号 Ai の取込み速度は、DRAM1のアドレスセットアップ時間やアドレスホールド時間の動作速度に大きく左右する。つまり、基準クロック信号 $\overline{R1D}$ 及び $\overline{R2}$ に基づくアドレス信号 Ai の取込み速度が速い程、DRAM1のアクセス時間は短縮される。Xアドレス系バッファ回路XABは、Xデコーダ回路XDecへの出力信号 BXi 、 \overline{BXi} を生成する。なお、第5図において、 \overline{XL} はXアドレスラッチ信号、 $\overline{C1}$ はカラム・アドレス・ストロープ系回路CASで生成した基準クロック信号、 \overline{CM} はクリアモード信号、 \overline{ARI} はリフレッシュ・アドレス信号である。他方の短辺側で使用されるXアドレスラッチ信号 \overline{XL} 及び $\overline{XL D}$ は、第6図(等価回路図)に示すように、基準クロック信号 $\overline{R1D}$ に基づきワード

路YABにアドレス信号 Ai ($i=0,1,2,\dots,8$)を取込むための制御信号として使用されている。このアドレス信号 Ai の取込み速度は、Xアドレス系バッファ回路XABにアドレス信号 Ai を取込む速度と同様に、DRAM1の動作速度に大きく左右する。Yアドレス系バッファ回路YABは、Yデコーダ回路YDecへの出力信号 BYi 、 \overline{BYi} を生成すると共に、第9図(等価回路図)に示すように、メインアンプMAの活性化信号 \overline{AC} を生成する。この活性化信号 \overline{AC} は、他方の短辺側に配置されたYアドレス系バッファ回路YABで生成され、一方の短辺側に伝達された後、第10図(等価回路図)に示すように、波形整形及び駆動力増強がなされてメインアンプMAに入力される。なお、第9図において \overline{CE} はカラムイネーブル信号、第10図において \overline{RN} はRASノーマル信号である。

第1図、第2図、第11図(第2図の記号I部分の拡大平面図)及び第12図(第2図の記号II部分の拡大平面図)に示すように、DRAM1は、

長方形チップの長辺に沿って電源配線V_L及び信号配線L₁が延在するように構成されている。第11図に詳細に示すように、DRAM1の左側の長辺に沿って、電源配線L₁₁、L₁₂の電源配線V_L及び信号配線L₁₃～L₁₇の信号配線L₁が一方の短辺側から他方の短辺側まで延在している。第12図に詳細に示すように、DRAM1の右側の長辺に沿って、電源配線L₂₁、L₂₂の電源配線V_L及び信号配線L₂₃～L₂₇の信号配線L₂が一方の短辺側から他方の短辺側まで延在している。電源配線V_L及び信号配線L₁は、DRAM1の長辺側の端部とメモリアレイMARY端との間の若干の領域を利用して延在させている。

ここで2層配線構造の配線L₁と配線L₂は、長方形チップの最外周に配置されたガードリングであり、外部から長方形チップ内に不純物が入るのを防止している。

電源配線L₁₁、L₁₂には電源電圧V_{cc}が印加されている。電源配線L₂₁及びL₂₂は基準電圧V_{ss}が印加されている。この電源配線V_Lは、信号配

とは同一配線幅寸法で構成し、両者間の短絡は層間絶縁膜に形成された接続孔TCを通して行う。電源配線V_Lの接続孔TCは、電源配線V_Lの延在する方向において実質的に全域に設けられている。すなわち、接続孔TCはできる限り電源配線V_Lの抵抗値を低減するように構成されている。この電源配線V_Lは例えば25[μm]程度の配線幅寸法で構成されている。

前記信号配線Lのうち、信号配線L₁はDRAM1の特性試験用配線(T₁)である。信号配線L₂は前記基準クロック信号R1を伝達する基準クロック信号配線である。信号配線L₃はファンクション用切換信号配線(FPIE)である。信号配線L₄は電圧リミット信号配線(V₁)である。信号配線L₅はリフレッシュ信号配線(RFD)である。信号配線L₆はプリチャージ信号配線(PC)である。信号配線L₇はセンスアンプイネーブル信号配線(SAE)である。信号配線L₈はセンスアンプ駆動信号配線(P1)である。信号配線L₉～L₁₇はX系内部アドレス信号配線

線Lよりも外周部であって、ガードリングよりも内側に延在するように構成されている。長方形チップの長辺に沿って配置された電源配線V_Lは、第1層目配線と第2層目配線とを重ね合せ両者を短絡させた2層配線構造で構成されている。本実施例のDRAM1は2層アルミニウム配線構造で構成されており、第1層目配線はアルミニウム配線、第2層目配線はアルミニウム配線で構成されている。つまり、電源配線V_Lは、抵抗値をできる限り低減し、ノイズの吸収をできる限り速く行えるように構成されている。一方長方形チップの短辺に沿って配置された電源配線は、第2層目配線のみで形成されている。第2層目配線で形成されている為電源配線と周辺回路を構成する領域上に配置でき、集積度が向上するという効果がある。第1及び第2層目アルミニウム配線は、純アルミニウムか、マイグレーション対策のための0.5wt%のCu又は及びアロイスバイク対策のための1.5wt%のSiが添加されたアルミニウムで形成する。電源配線V_Lの第1層目配線と第2層目配線

(AX8H, AX7, $\overline{AX7}$, AX8)である。信号配線L₉～L₁₇はワード線クリア信号配線(WC0U, WC1U, WC2U, WC3U)である。

前記信号配線L₉～L₁₇はX系内部アドレス信号配線($\overline{AX9}$, AX9, AXH, AXU)である。信号配線L₁₈はCAS系基準クロック信号C1を伝達する基準クロック信号配線である。信号配線L₁₉はカラムイネーブル信号配線(CE)である。信号配線L₂₀はYアドレスラッチ信号配線(YL)である。信号配線L₂₁はクリアモード信号(CM)である。信号配線L₂₂はメインアンプMAの活性化信号 \overline{AC} を伝達する活性化信号配線である。信号配線L₂₃はファンクションセット信号配線(FS)である。信号配線L₂₄はファンクションリセット信号配線(FR)である。信号配線L₂₅はデータセレクト信号配線(DS)である。信号配線L₂₆はテストイネーブル信号配線(TE)である。信号配線L₂₇～L₃₁は特性試験用配線(T₂, T₃, T₄)である。信号配線L₃₂

はリダンデューンシ・シグネチャ信号配線(SIG)である。信号配線 L_{17} はファンクション・セット・イネーブル信号配線(FSE)である。

RAS系基準クロック信号配線($\overline{R1}$) L_{18} 、CAS系基準クロック信号配線($C1$) L_{19} 及び活性化信号配線(\overline{AC}) L_{20} を除く信号配線 L ($L_1, L_2 \sim L_{13}, L_{14} \sim L_{17}, L_{18} \sim L_{19}$)は、第2層目配線(アルミニウム配線)の単層で構成されている。第2層目配線は第1層目配線よりも厚い膜厚で構成されている。第1層目配線は例えば $5000 \sim 6000$ [Å]程度の膜厚(具体的には 5000 Å)、第2層目配線は例えば $8000 \sim 9000$ [Å]程度の膜厚(具体的には 8000 Å)で形成されている。これは、第2層目配線の抵抗値をできる限り小さく構成すると共に、第1層目配線の段差形状を低減して第2層目配線のステップカバレージを向上する目的で行われている。これらの信号配線 L は例えば 2 [μm]程度の配線幅寸法で構成し、信号配線 L 間の間隔は 1.5 [μm]程度の寸法で構成されている。これらの

れている。これによって、このアルミニウム配線 $AL1$ と下地材料である半導体基板との反応を防止することができる。また、前記一層目のアルミニウム配線 $AL1$ の上には、前記 $MoSi_x$ 膜よりも Si 組成比の小さい例えば厚さが 200 Åの $MoSi_x$ ($0 < x < 2$)膜5が設けられている。このように Si 組成比の小さい $MoSi_x$ 膜5をアルミニウム配線 $AL1$ の上に設けることによって、このアルミニウム配線 $AL1$ 中のアルミニウムと銅とにより形成される金属間化合物に起因してウェットエッチングの際に生じる電気化学反応によるこのアルミニウム配線 $AL1$ の腐食を防止することができる。さらに、前記二層目のアルミニウム配線 $AL2$ は、例えば厚さが 150 Åの $MoSi_x$ 膜7上に設けられている。これによって、この $MoSi_x$ 膜7からアルミニウム配線 $AL2$ 中に Mo が拡散することにより、エレクトロマイグレーションやストレスマイグレーションを防止することができ、従ってこのアルミニウム配線 $AL2$ の長寿命化を図ることができる。

信号配線 L は単層配線構造で構成されており、これらの信号配線 L の領域下は別の信号配線を通過させることができるので、配線領域を有効に利用し、DRAM1の集積度を向上することができる。なお、これらの信号配線 L は第1層目配線で構成してもよい。

前記RAS系基準クロック信号配線($\overline{R1}$) L_{18} 、CAS系基準クロック信号配線($C1$) L_{19} 及び活性化信号配線(\overline{AC}) L_{20} つまり主要な基準クロック信号配線は、電源配線 VL と同様に、第1層目配線と第2層目配線とを短絡した2層配線構造で構成されている。CAS系基準クロック信号配線($C1$) L_{19} 及び活性化信号配線(\overline{AC}) L_{20} の断面構造を第13図(要部拡大断面図)で示す。第13図に示すように、第1層目配線 $AL1$ と第2層目配線 $AL2$ との短絡は接続孔 TC によって行われている。

さらに前記一層目のアルミニウム配線 $AL1$ は、例えば厚さが 150 Åの $MoSi_x$ 膜から成るバリアメタル4を介して前記層間絶縁膜3上に設けら

また、接続孔 TC は所定間隔毎、例えば前記基準クロック信号配線の配線長が 10 [mm]程度の場合に 30 [μm]間隔毎に設けられている。接続孔 TC は、接続不良を防止して歩留りを向上するために所定間隔毎において複数個設けられている。RAS系基準クロック信号配線($\overline{R1}$) L_{18} は、最っとも主要な配線となるので、例えば 5 [μm]程度の配線幅寸法で構成されている。RAS系基準クロック信号配線($\overline{R1}$) L_{18} の第1層目配線と第2層目配線とを接続する接続孔 TC は、配線幅寸法が他の配線よりも大きいので、所定間隔毎に配線幅方向に2個設けられている。CAS系基準クロック信号配線($C1$) L_{19} 、活性化信号配線(\overline{AC}) L_{20} の夫々は、例えば 2 [μm]程度の配線幅寸法で構成されている。CAS系基準クロック信号配線($C1$) L_{19} 、活性化信号配線(\overline{AC}) L_{20} の夫々の第1層目配線と第2層目配線とを接続する接続孔 TC は、配線幅寸法が他の配線よりも小さいので、所定間隔毎に配線長方向に2個設けられている。第13図において、第

1層目配線AL1下にはメモリセル選択用MISFET及び情報蓄積用容量素子を覆う層間絶縁膜3が設けられている。第1層目配線AL1と第2層目配線AL2との間には層間絶縁膜6が設けられている。層間絶縁膜6には接続孔TCが形成される。第2層目配線AL2上にはパッシベーション膜8が設けられている。

これらの主要な基準クロック信号配線の2層配線構造は、前述のように、電源配線VLが2層配線構造で構成され、かつ図示しないメモリセルアレイMARYに延在するワード線が2層配線構造で構成されているので、これらと同一製造工程で形成する(配線形成マスクのパターン変更のみ)ことによって、製造工程を増加せずに構成することができる。つまり、主要な基準クロック信号配線の2層配線構造は他の2層配線構造と同一製造工程で形成することができるので、主要な基準クロック信号配線の2層配線構造を形成する工程に相当する分、製造工程を低減することができる。なお、ワード線は、メモリセルのメモリセル選択

用MISFETのゲート電極と同一導電層で形成されたワード線に、第1層目配線を介在させて第2層目配線で形成されたワード線(シャント用ワード線)を接続することによって2層配線構造を構成している。メモリセルアレイMARYを延在する相補性データ線及びYセレクト信号配線は第1層目配線で構成されている。

このように、DRAM1において、長方形チップの対向する短辺側に夫々配置された基準クロック信号発生回路(RAS又は及びCAS)とアドレス系回路(XAB, YAB)とを、長方形チップの長辺に沿って延在しかつ短絡された2層配線構造の基準クロック信号配線(L₁, L₂, 又は及びL₃)で接続することにより、前記基準クロック信号配線の抵抗値を単層配線構造の場合に比べて低減し、基準クロック信号($\overline{R1}$, C1, \overline{AC})の伝播速度の高速化を図ることができるので、アドレスセットアップ時間やアドレスホールド時間のマージンを向上し、DRAM1の動作速度の高速化を図ることができる。

また、第14図は、周辺回路(データ線プリチャージ回路)部におけるレイアウトを示し、第15図は、第14図に示す周辺回路の等価回路図である。

第14図及び第15図に示すように、この周辺回路の配線9を通過するプリチャージ信号φpは、この周辺回路を構成するnチャネルMISFETQ₁〜Q₄のゲート容量等の容量負荷による遅延が大きいためアクセス時間やプリチャージ時間が長く、これが高速動作を妨げていた。しかし、この問題は、配線9を、例えば一層目の多結晶シリコン配線から成るゲート電極FGに、スルーホールTHを通じて互いに接続された一層目及び二層目のアルミニウム配線AL1、AL2(補強用配線)を接続した構造としてその配線抵抗を低減することにより解決することができる。このゲート電極FGの補強用配線を一層のアルミニウム配線のみで構成する場合には、抵抗を十分に低減するためにはその幅を増加させるしかないのに比べて、上述のように二層のアルミニウム配線AL1、

AL2を用いることによってチップサイズの増大もなく有利である。なお、第14図及び第15図において、符号Fは素子間分離用のフィールド絶縁膜、符号D、 \overline{D} はデータ線である。また、符号10は、プリチャージ電位($1/2$)V_{cc}の配線であって、一層目のアルミニウム配線AL1により構成されている。さらに、符号11, 12は、例えばn⁺型のソース領域及びドレイン領域であって、これらは前記フィールド絶縁膜Fで囲まれた活性領域内に前記ゲート電極FGに対して自己整合的に設けられている。なお、データ線プリチャージ回路以外の他の周辺回路についても本方法を適用することができる。

第16図は、I/Oトランスファ回路部のレイアウトであり、第17図は、第16図に示すI/Oトランスファ回路部の等価回路図である。

第16図及び第17図に示すように、このI/Oトランスファ回路部においては、メモリセルアレイMARYにおけるアクセスバスであるI/O線IO1, $\overline{IO1}$, IO2, $\overline{IO2}$ は、上述と同様

に、一層目のアルミニウム配線AL1と二層目のアルミニウム配線AL2とを重ね合わせた構造とすることにより、配線抵抗を低減してデータ線アクセスの高速化を図ることができる。なお、第16図及び第17図において、符号D1, D1, D2, D2はデータ線、符号Q₁~Q₁₀はYスイッチ用nチャネルMISFET、符号FGはYスイッチ用配線YSLであるゲート電極である。

第18図は、一層目のアルミニウム配線と二層目のアルミニウム配線とのクロスアンダー部を示す。

第18図に示すように、長方形チップの長辺に沿って延在する電源配線L₁, L₂（一層目アルミニウムと二層目アルミニウムとの2層構造）から長方形チップの短辺に沿って延びる電源配線14は二層目のアルミニウム配線AL2により構成される。そして二層目のアルミニウム配線AL2から成る配線L₁₁, L₁₂, L₁₃~L₁₆がこの電源配線14と交差する部分はクロスアンダー構造とする。すなわち、電源配線14を構成する二層目

ク内の配線15は基本的には一層目のアルミニウム配線AL1により構成し、回路ブロック間の配線L₁₁, L₁₂は二層目のアルミニウム配線AL2により構成する。ソース領域12及びドレイン領域11とゲート電極FGとによりnチャネルMISFETQ₁₁~Q₁₆が構成されている。また、符号16, 17は例えばp⁺型のソース領域及びドレイン領域であり、これらとゲート電極FGとによりpチャネルMISFETQ₁₁~Q₁₆が構成されている。この場合、一層目のアルミニウム配線AL1は、MISFETQ₁₁~Q₁₆のソース領域12, 16及びドレイン領域11, 17やゲート電極FGにコンタクトホールCを通じて直接コンタクトさせることができるため、回路ブロック内配線15を上述のように一層目のアルミニウム配線AL1により構成することにより、このコンタクトホールCの周りのレイアウトルールを小さくすることができ、従ってレイアウト面積を小さくすることができる。

本願において開示される発明のうち代表的な

のアルミニウム配線AL2の下方においては、一層目のアルミニウム配線AL1から成るクロスアンダー配線13を用いる。この場合、この一層目のアルミニウム配線AL1は既述のように厚さが小さくて抵抗が高いので、その幅を二層目のアルミニウム配線AL2から成る前記配線L₁₁, L₁₂, L₁₃~L₁₆よりも大きくして抵抗を小さくする。

前述のように基本的には、長い距離を走る配線L₁₁, L₁₂, L₁₃~L₁₆には厚さが大きくて抵抗の小さい二層目のアルミニウム配線AL2を用い、距離の短いクロスアンダー配線13には一層目のアルミニウム配線AL1をその幅を大きくして用いる。この逆の場合には、一層目のアルミニウム配線AL1の幅をかなり大きくしなければ抵抗を小さくすることが難しいため、チップサイズの増大、容量負荷の増大による動作速度の低下が生じる。

第19図は、周辺回路部内の任意のCMOSインバータ回路のレイアウトを示す。

第19図に示すように、周辺回路の回路ブロッ

クによって得られる効果を簡単に説明すれば、下記のとおりである。

DRAMの動作速度の高速化を図ることができる。

また、一層目のアルミニウム配線による段差部における二層目のアルミニウム配線の断線を防止することができる。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、本発明は、三層以上のアルミニウム配線を用いるダイナミックRAMは勿論、少なくとも二層のアルミニウム配線を用いる各種の半導体集積回路装置に適用することが可能である。

また、本発明は、単体のDRAMだけに限らず、マイクロコンピュータに長方形で内蔵されたDRAMに適用することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例であるDRAMの

チップレイアウト図、

第 2 図は、前記 D・R・A・M の周辺回路の拡大ブロック構成図、

第 3 図乃至第 10 図は、前記 D R A M の要部の
等価回路図、

第 11 図は、前記第 2 図の記号 I 部分の拡大平面図、

第 12 図は、前記第 2 図の記号Ⅱ部分の拡大平面図、

第13図は、前記DRAMの基準クロック信号配線の要部拡大断面図である。

第14図は、周辺回路部のデータ線ブリチャージ回路部のレイアウトを示す平面図、

第15図は、第14図に示すデータ線ブリチャージ回路部の等価回路図、

第16図は、I/Oトランスファ回路部のレイアウトを示す平面図、

第 17 図は、第 16 図に示す I/O トランスファ回路部の等価回路図、

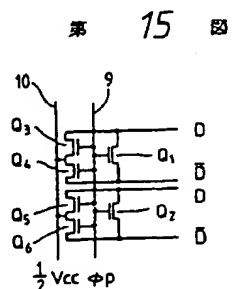
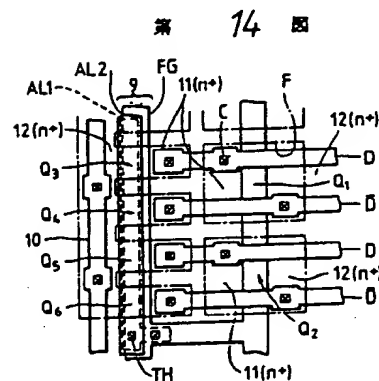
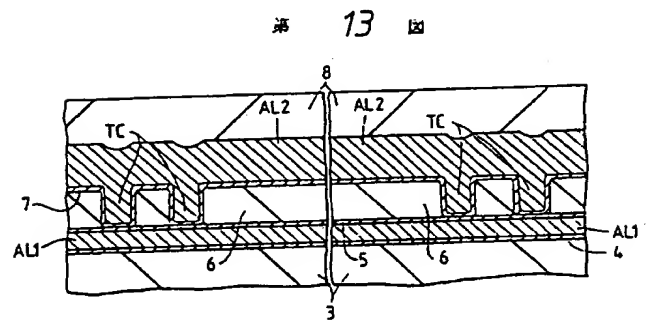
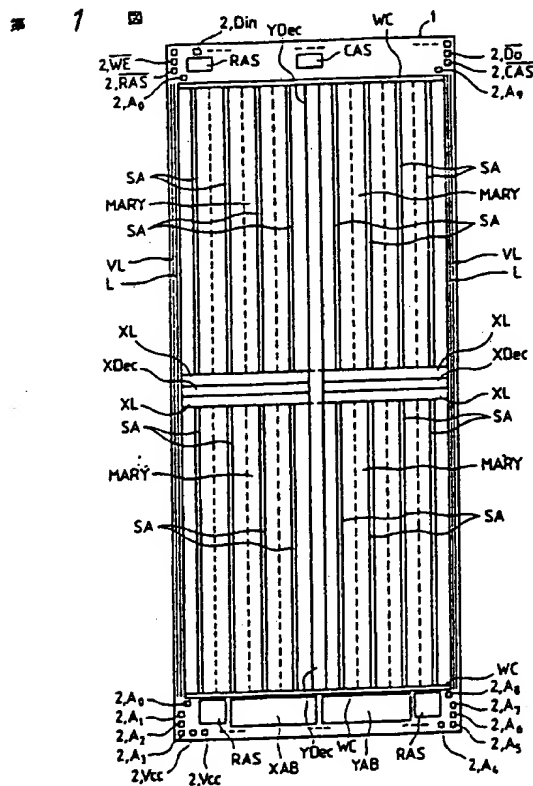
第 18 図は、電源配線と信号配線のクロスアン

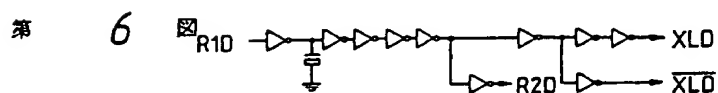
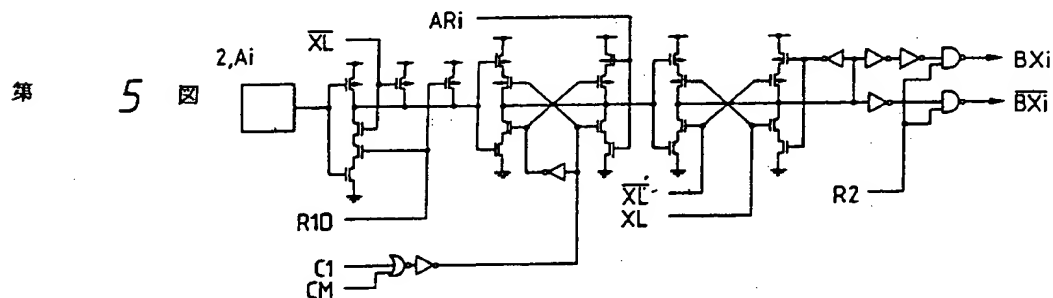
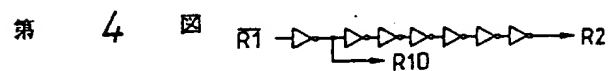
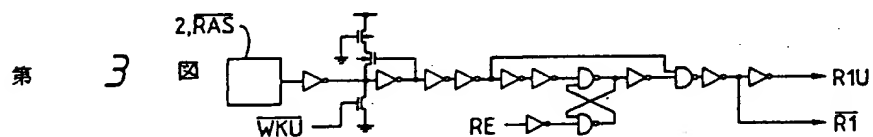
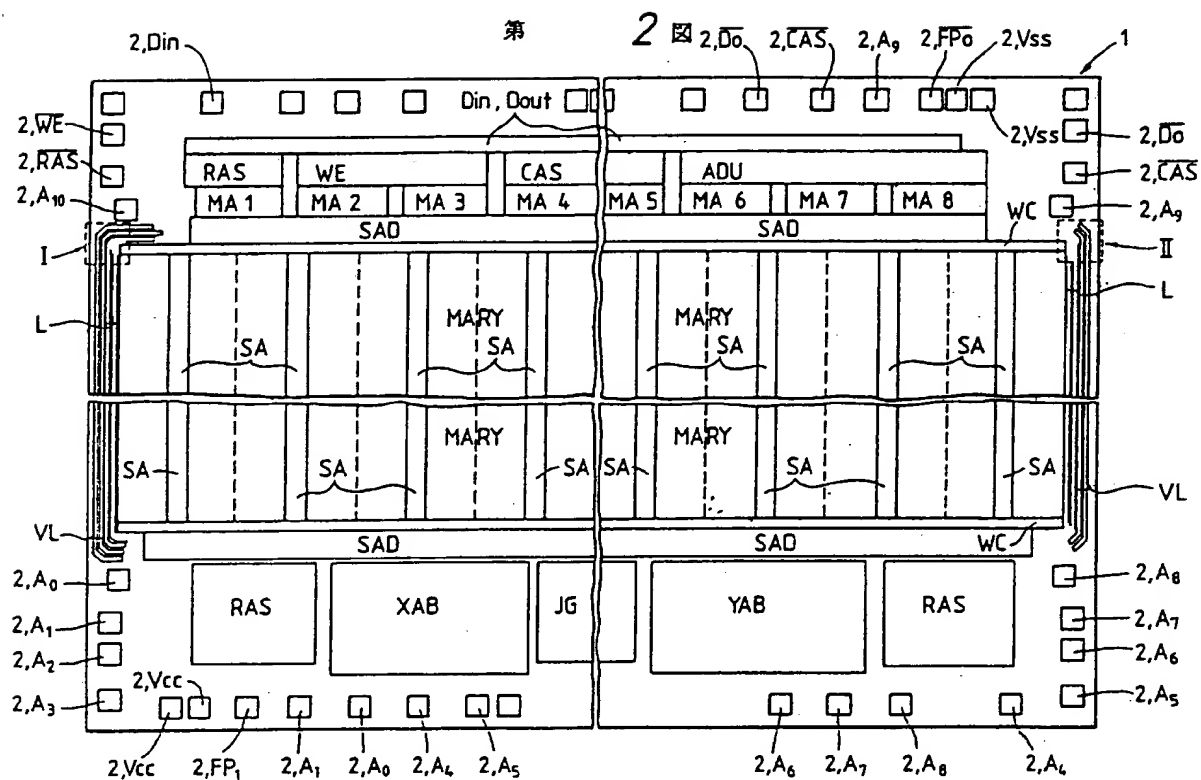
の一部を示す平面図、

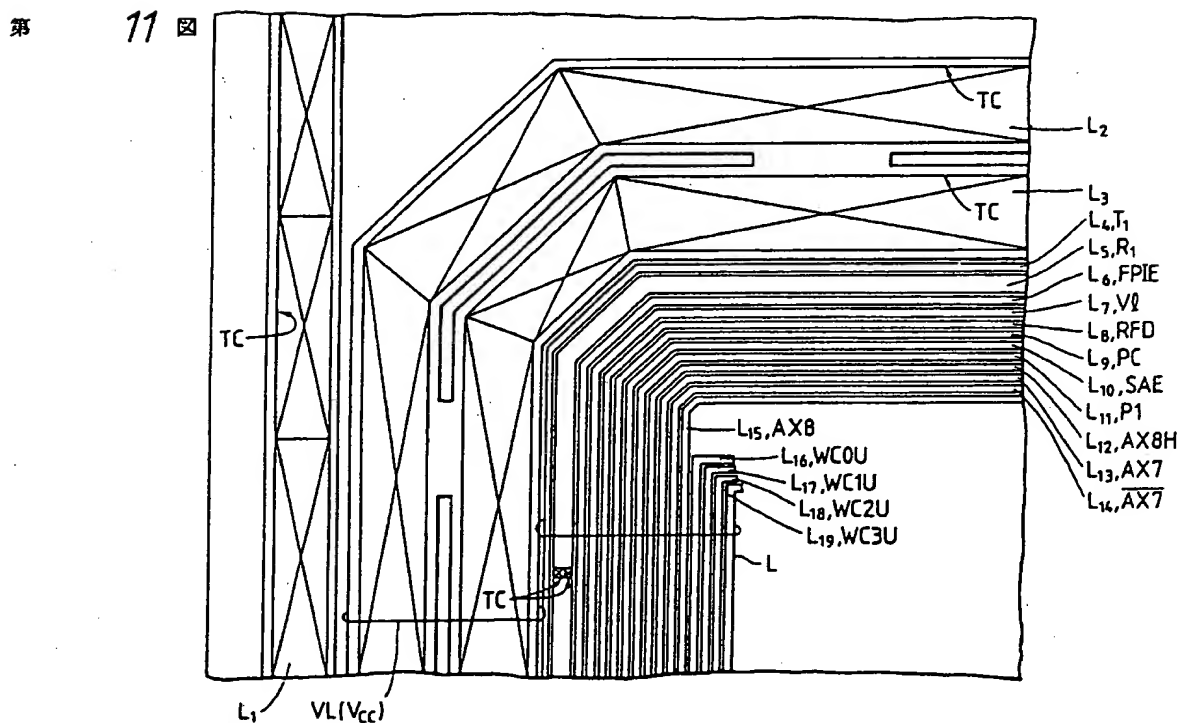
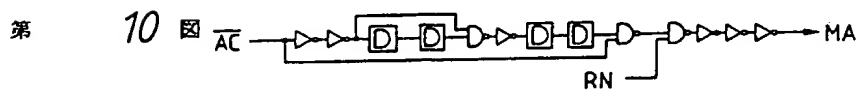
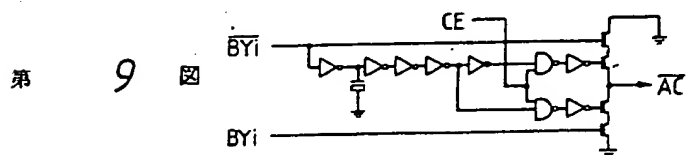
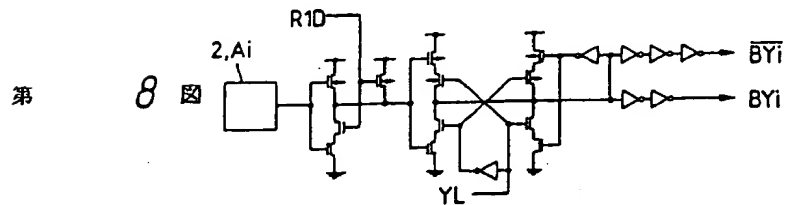
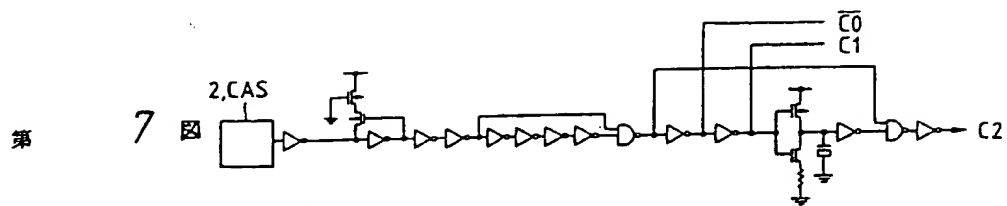
第 19 図は、周辺回路部内の任意の CMOS イ
ンバータ回路のレイアウトを示す平面図である。

図中、1…DRAM、2…外部端子、RAS…
 ロウ・アドレス・ストロブ系回路、CAS…カ
 ラム・アドレス・ストロブ系回路、XAB…X
 アドレス系バッファ回路、YAB…Yアドレス系
 バッファ回路、L…信号配線、VL…電源配線、
 L₁, L₁₄, L₁₈…基準クロック信号配線、R₁,
 C₁, AC…基準クロック信号、TC…接続孔、
 3…半導体基板、4, 5, 7…シリサイド層、
 AL₁…第1層目配線、AL₂…第2層目配線、
 6, 8…絶縁層である。

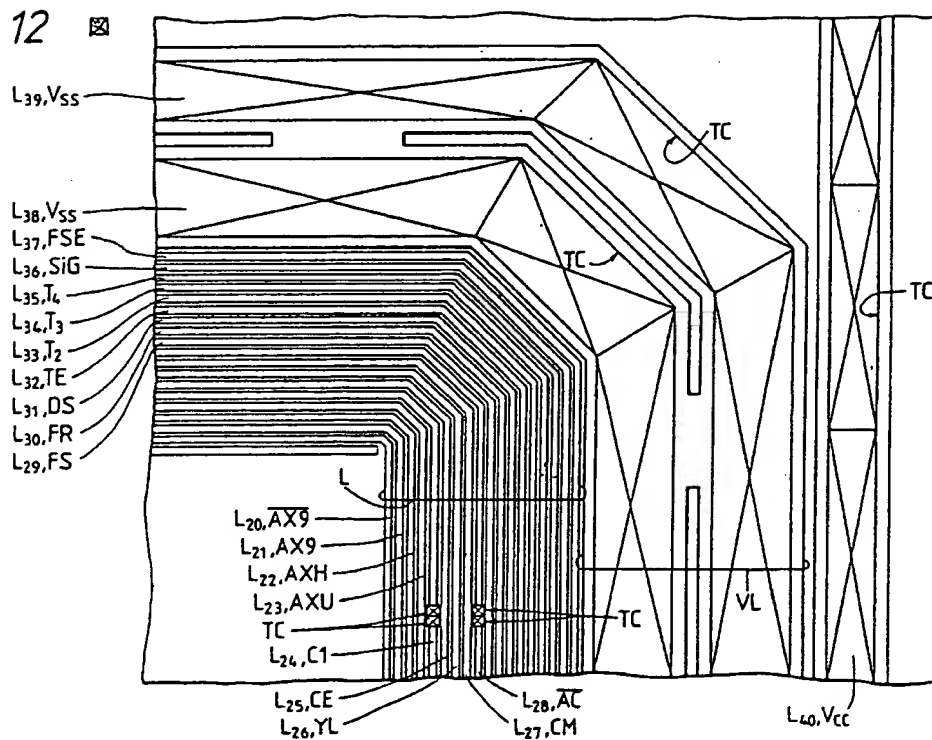
代理人 弁理士 小 川 勝 男



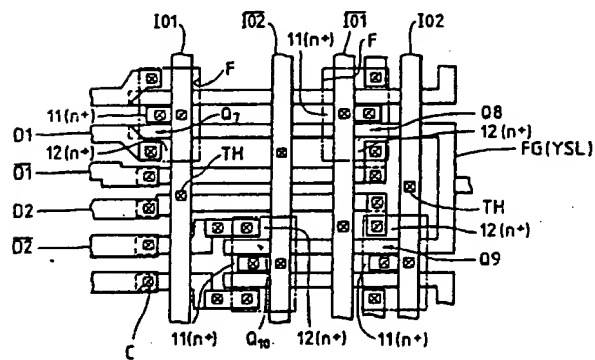




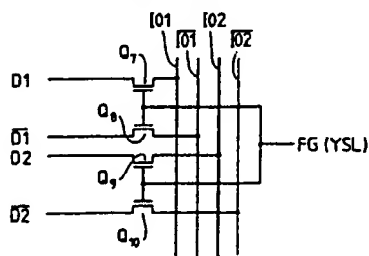
第 12 図



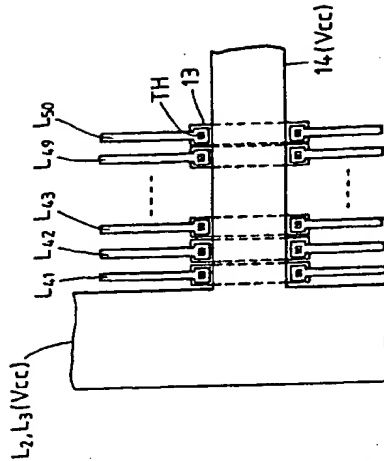
第 16 図



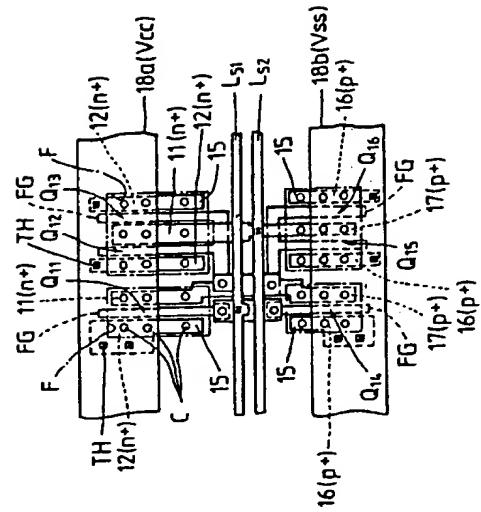
第 17 図



第 18 図



第 19 図



第 1 頁の続き

⑤Int. Cl.⁵

H 01 L 27/04

識別記号

D

庁内整理番号

7514-5F

⑦発明者	小山	芳久	東京都小平市上水本町1448番地 日立超エル・エス・アイエンジニアリング株式会社内
⑦発明者	村中	雅也	東京都小平市上水本町1448番地 日立超エル・エス・アイエンジニアリング株式会社内
⑦発明者	木村	勝高	東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑦発明者	岩井	秀俊	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
⑦発明者	宮沢	一幸	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
⑦発明者	石原	政道	東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内

THIS PAGE BLANK (USPTO)